

基于CMP的高密度计算机多目标设计方法

刘宇航, 祝明发, 崔吉顺, 肖利民

(北京航空航天大学计算机学院, 北京 100191)

摘要: 面向高端应用的高效能计算机一般具有高性能、高集成度、高热密度、高复杂性的特点, 其研制是一项复杂的系统工程。每一环节, 存在功能、性能、可靠性等相互制约但需同时兼顾的多个目标。在实践中这些方面的权衡设计如何以有序的方式展开, 是一个亟待解决的关键问题。提出了可靠性与功能、性能权衡的设计方法, 并应用到一款基于国产多核处理器的16路高密度计算机的自主研制中, 软件仿真分析和系统实测试验验证了该权衡设计方法的有效性。

关键词: 高密度计算机; 高能效; 多目标; 权衡; 协同设计; 片上多核

中图分类号: TP 302

文献标志码: A

DOI: 10.3969/j.issn.1001-506X.2012.04.30

Multi-objective design methodology for CMP-based high-density computers

LIU Yu-hang, ZHU Ming-fa, CUI Ji-shun, XIAO Li-min

(School of Computer Science and Engineering, Beihang University, Beijing 100191, China)

Abstract: A high-end application-oriented high productivity computer generally features high-performance, high integration, high heat density and high complexity. As a complex system engineering, its design flow involves several stages, and at each stage there are several targets, such as functionality, performance, reliability, which are mutual restraint but should be taken into account simultaneously. In practice, it is a key issue to arrange the collaborative design on these aspects in an orderly manner. A co-design methodology is presented and is applied to the design of a 16-way high density computer based on domestic Godson 3A central processing unit, and the effectiveness of which is verified through software simulation and real test.

Keywords: high-density computer; high power-efficient; multi-objective; trade-off; co-design; chip multiprocessor (CMP)

0 引言

在集成工艺日益发展和处理器体系结构走向片上多核(chip multiprocessor, CMP)^[1]的条件下, 面向高端应用的高性能计算机呈现出高性能、高集成度、高热密度、高复杂性的特点, 其设计成为一项复杂系统工程。

从时序纵向上看, 体系结构概念设计和工程设计是两个主阶段, 后者包括原理框图、芯片选型、原理详图、印制板布局、印制板布线、物理制板、焊接、调试、测试、优化等多个环节, 环环相扣, 每一环节都影响系统最终的功能、性能和可靠性。

从每一环节横向上看, 功能、性能和可靠性是设计时需同时兼顾的多个目标, 但它们之间在一定程度上存在着相互制约的关系。功能的增加一般意味着集成电路面积和器件

数量的增加, 进而是功耗的增加和器件失效概率的增加; 性能的增加, 意味着功耗的增加和高频、高速信号的增多, 进而是可靠性的降低。在一定的功耗限制内, 需要在功能的完备和性能的高端之间做出权衡。

在实践中, 时序纵向和环节横向这些方面的权衡如何以有序的方式展开是高密度计算机研制中一个亟待解决的关键问题。

首先, 在设计时, 由于这些方面存在一定的难以兼顾性, 最优的权衡设计通常非显而易见; 其次, 针对这些方面, 对设计者来说, 工程实践中缺乏具体明确且易于操作的包括权衡时机和内容的设计方法可以遵循; 第三, 本质上高密度计算机的设计是一个需对多目标全局权衡的最优化问题, 但由于单一目标的设计者分属多个部门, 实际研制中如果依次串行开展单一目标设计, 难以适应目标系统日益增加的复杂性和

收稿日期: 2011-09-01; 修回日期: 2012-01-07。

基金项目: 国家自然科学基金(60973008); 国家高技术研究发展计划(863)重大项目(2011AA01A205); 国家科技重大专项(2010ZX01036-001-001); 高等学校博士学科点科研基金(20101102110018)资助课题

作者简介: 刘宇航(1985-), 男, 博士研究生, 主要研究方向为高性能计算机体系结构、并行计算。E-mail: liuyuhang@cse.buaa.edu.cn

对功能、性能、可靠性越来越高的需求。

对高密度计算机设计者而言,有必要对多个设计目标进行有效整合,体现到设计流程中就表现为权衡;需要在设计流程的每个设计环节,充分考虑热与功能、性能设计的权衡性,追求功能、性能、可靠性等多个维度的综合较优的设计效果,给出相应的近似最优设计方案。

1 相关工作

超级计算机已全面进入千万亿次的时代,并向万万亿次迈进。2011 年 7 月公布的 TOP500 中前 10 台实际性能均超过 1 千万亿次浮点操作每秒 (peta floating point operations per second, Pflops),排名第一的 Fujitsu K computer 实测峰值更达到 8.1 Pflops^[2],在性能和规模不断提高的同时,超级计算机面临更为严峻的以性能功耗比、性能体积比、可扩展性等指标为代表的“高效能”瓶颈问题,相应地对作为核心部件之一的计算结点提出了功能、性能、可靠性等多个维度的日益严格的设计目标^[3-4]。

龙芯 3A 处理器由我国自主研发,片内集成 4 个 64 位的四发射超标量 9 级流水主频 1 GHz 的 GS464 高性能处理器核^[5],相对 Intel、AMD 等设计的中央处理器 (central processing unit, CPU) 具有低功耗、安全可控的优势^[6]。

Grudin 提出“计算机支持下的协同工作 (computer supported cooperative work, CSCW)”的概念^[7],斯坦福大学的 PACT 等项目取得了一些研究成果^[8]。当前已有关于电子设备散热与电磁兼容的协同设计^[9]等,但对于高密度计算机,应用需求、物理工艺和设计目标之间的关系在不断变化^[10],涉及计算理论、体系结构、物理工艺等多领域,需要兼顾性能、功耗、面积等多个方面^[4](这一点在基于如 Intel 80-core^[11]和 48-core^[12-14]等研究型众核 CPU 的计算机设计中尤为突出),如何开展权衡优化设计尚需研究。

一些辅助设计软件试图提供热分析与结构设计的协同环境,但是对设计者来说有效的权衡设计方法相对辅助工具更具有根本意义。

2 权衡设计方法

可靠性、功能和性能是设计中主要考虑兼顾的 3 个目标,因为实现在共同的主板结构和机箱结构上,三者既相辅相成又相互制约。在整个设计流程中只有综合考虑这些方面^[15],才有可能整体优化,而不顾此失彼,这样一种综合性的设计称为权衡。设计流程中对这些目标进行综合考虑的切入点,称为权衡点。

一般地,设目标集合为 $Objects = \{O_1, \dots, O_n\}$,设计历经的环节为序列 $Steps = \langle S_1, \dots, S_m \rangle$,则在环节 $S_i (i = 1, \dots, m)$ 上的权衡设计表示为 $Tr(S_i) = Trade-off (Objects, S_i, C_i)$, C_i 为当前所基于的设计状态, $C_i = Tr(S_{i-1})$,最终设计结果为 $Tr(S_m)$ 。

如果串行展开功能、性能、散热、结构等设计,逐次缩小设计空间,对常规低密度计算机可能满足基本要求,但由于

这种设计流程时序上缺乏协同性,对高密度计算机这种复杂系统,则可能难以形成多目标综合较优的均衡设计。这是因为具有较多功能和较高性能的设计方案带来的对空间的较高要求以及较大的功耗和散热压力,如果在功能、性能设计之后才予以考虑,可能导致付出较大的散热和结构设计代价后只获得较小的功能、性能收益。

影响计算机可靠性的一个重要指标是工作温度。功能增加和性能提高使芯片数量和功率不断增加,导致主板的功耗和发热率迅速增加,进而增加电子器件的失效概率。工作温度过高,即使未造成失效也可能损失性能,因为很多元器件在高温下不能正常发挥性能。可靠性几乎与系统的任何一个组成部分都有关系,因篇幅有限,本文对可靠性的讨论仅侧重于热设计部分。

本文提出的散热与功能、性能的权衡设计框架如图 1 所示。完整的高密度计算机的设计流程中,原理框图、芯片选型、原理图、印制板布局和布线这些环节均贯穿着功能、性能和热设计,图 1 中列出了典型的权衡设计内容。设计阶段的每一环节可以随时回溯,对设计方案进行迭代式调整,而设计实施阶段则不可以,这也是硬件工程与软件工程的一个重要区别。

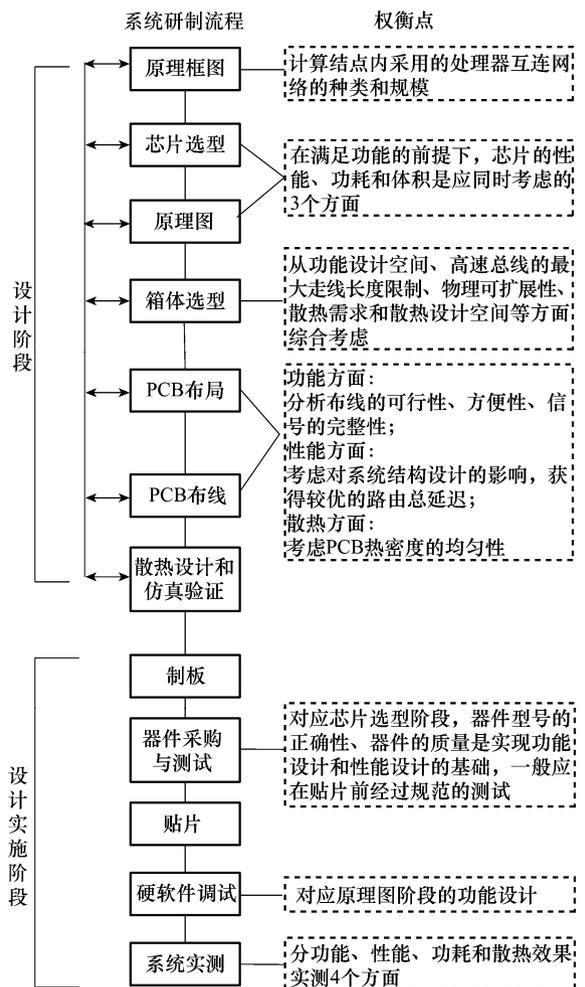


图 1 高密度计算机权衡设计流程

值得强调的是,设计实施和测试阶段是实现和检验设计意图的重要环节。系统的可靠性、功能和性能不仅与设计方案有关,同时也与设计方案的实施有关。例如设计阶段的器件选型虽然很大程度上决定器件的耐温值、功耗和额定寿命等指标,但设计实施阶段的实物器件质量和焊接工艺水平也对系统的可靠性、功能和性能有重要影响。

作为示例,下面对图 1 所示权衡设计中的部分典型权衡点加以分析。

2.1 处理器互连网络的种类和规模

通常,不同的处理器互连网络在相连度、直径、对称性、路径冗余度、可扩展性等方面具有不同的性质。

从功能角度分析,处理器互连网络提供处理单元间的连通性,但不同网络拓扑的连通能力一般不同。

从性能角度分析,处理器互连网络结构的选择是设计决策中的重要方面。首先,芯片级、主板级、系统级处理器之间的读写访问通信需要经过互连网络实现,互连网络的效率直接关系到整体性能。其次,芯片级、主板级、系统级可集成的处理器数量,将随着集成电路工艺水平的提升而进一步增加,相应的互连网络影响整机系统的可扩展性。互连网络结构需要既能满足当前规模下系统需要,又能为将来的规模扩展提供潜在的设计空间。第三,对于较为流行的分布式共享存储系统,互连网络直接影响高速缓存一致性维护的实现效率。

从散热和结构设计角度分析,高密度计算机内集成的处理器数量决定了处理器互连网络规模,进而对设计的复杂度、散热和箱体结构等均有重要影响。

以 Torus 拓扑和 Mesh 拓扑为例,从功能角度分析,任意节点之间路径的数量和长度可能不同,由于具有较多的链接(Link),Torus 拓扑结构中对应的路径数量可能较多,最短路径长度可能较小。从性能角度分析,相对于 Mesh 拓扑结构,Torus 拓扑结构以较多的链接提供较小的平均时延和较大的吞吐量,但是在性价比方面,当 CMP 数量为 16 时,Mesh 拓扑结构以较少的链接却获得与 Torus 拓扑结构几乎相同的优势(随着 CMP 数量继续增长,Torus 拓扑结构的优势才渐趋明显)^[16]。从散热和结构设计角度分析,相对于 Torus 拓扑结构,Mesh 拓扑结构使互连引起的能耗有所较少,同时布线的复杂性有所降低。

对于高效能结点机,单个 1U 机箱内有 16 个 CMP,在定性分析、量化计算、模拟评估的基础上综合权衡后,选择以 Mesh 拓扑结构作为结点内处理器互连网的拓扑结构,在后续系统规模扩展时可考虑采用 Torus 拓扑结构或其他结构。

2.2 机器结构

构建超级计算机,需要采用模块化结构来设计计算结点。就特定性能目标的单个计算结点而言,在物理上究竟采

用高密度设计还是松散型设计,是一个基本的设计问题。

从功能角度分析,低密度设计如塔式服务器允许较多地采用市售器件,有实现较多功能所需的设计空间,可选设计种类更多,有利于降低工程实现难度。

从性能角度分析,对于系统级总线,由于能耗和信噪比的原因,其链路具有最大线长的限制,同时链路的传输延迟随线长的增加而增加,若采用高密度设计有利于保持总线信号的完整性和缩短传输时延。

从散热和结构角度分析,高密度设计如刀片结点在物理空间上可紧密排放,节约空间,便于管理,易于物理扩展。但是,随之带来高热密度,增大热设计难度,同时空间限制使多功能的实现难度增加。

从上述方面权衡,龙芯 3A 高密度计算机设计为机架式,可以兼顾塔式和刀片服务器的优势。

2.3 印制板布局

功能方面,考虑布线的可行性、方便性;性能方面,考虑对体系结构设计的影响,以获得较优的路由总延迟;可靠性方面,考虑信号的完整性、印制板热密度的均匀性。

在概念设计和仿真设计过程中,系统设计团队在权衡设计时需要将电路板在功能模块原理图、物理布局模型和热分析结果这 3 种不同视图之间进行切换。任何一个视图中所做的改动应及时反映在其他的视图中,使整个设计团队保持“同步”并使其在各个方面的设计改进能实时地反映到整体设计开发过程中。由于功能、电气性能、机械结构、散热等方面的问题可在详细设计之前得以解决,提高了设计的优化效率。

在拟设计处理器互连网络的种类和规模、处理器类型和箱体类型等大体确定的基础上,可从散热和结构设计角度提出几种备选的主板布局方案。

如图 2 所示,布局 A 分为主板、风扇和电源 3 部分。主板为对称的左右两板,由 4 对板间接插件互连;两组电源位于主板左右两侧;风扇位于主板前端,InfiniBand 等 I/O 接口位于主板后端。为提高印制板成品率,分成左右两板设计,板间采用高速互连的连接器和互连。每板包括 8 片 CPU,分成上下两组,每组 4 片 CPU 首尾串联,呈“一”字形走向。

如图 3 所示,布局 B 与布局 A 的主要区别在于:主板为对称的上下两印制板;16 片 CPU 分成 8 行,每行两块,呈“之”字形走向,共 3 列。

布局 A 的优点在于:布局规整,散热风路通畅。线路清晰,线间交叉少,超级传输总线(hypertransport, HT)连线与处理器和内存连线没有交叉,只是用于 cc-NUMA(cache-coherent non uniform memory access)结构内部互连的 HT₀ 与 HT₁(用于 cc-NUMA 结构之间互连)存在一定的交叉。

其缺点在于:处理器呈纵向两路排列,故横向较窄,纵向较长,增加布线、印制板加工的复杂度,因此可考虑将该方案由左右两板变为上下两板。每个 cc-NUMA 内部的 4 片 CPU 间的连线中,存在一条走线较长的 HT 总线,导致不同的 CPU 具有不同的访问远程内存与本地内存的延迟比,可能影响性能。每个印制板上两个 cc-NUMA 的 0 号 CPU 距离较远,不易实现两个 cc-NUMA 的公共模块。

布局 B 的优点在于:CPU 呈 3 列,主板热流密度降低。

主板横向分割,面积适中,便于制版。HT₀ 连线均衡,每个 cc-NUMA 中 4 块处理器呈对称分布,对性能有益。每个 cc-NUMA 的 0 号处理器周边空间较大,便于布置其他器件。同一块主板上,两个 cc-NUMA 的 0 号 CPU 距离较近,容易实现两个 cc-NUMA 的公共模块。

其缺点在于:处理器和内存连线与 HT₁ 连线有多处交叉,需分配到印制板的多层上。此外,HT₁ 连线的平均长度比布局 A 长。

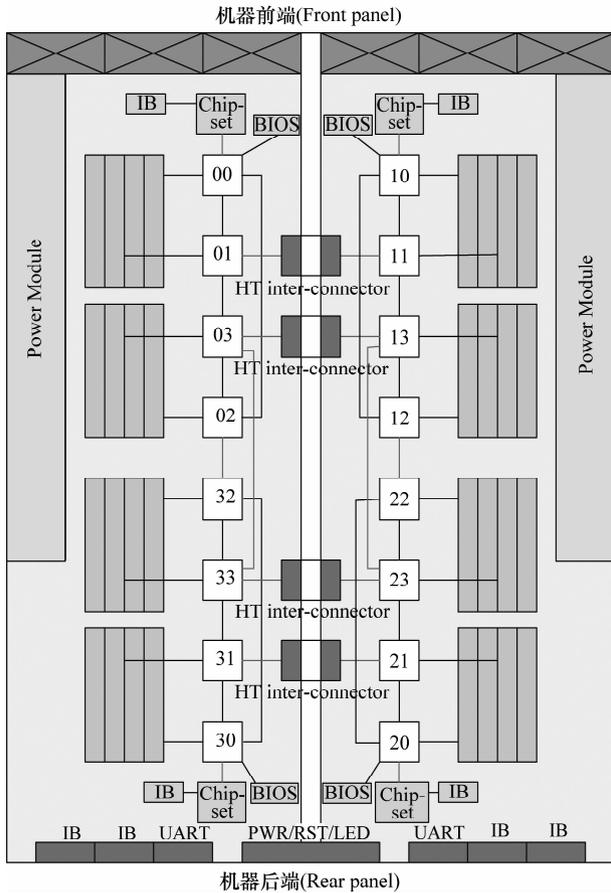


图 2 布局 A

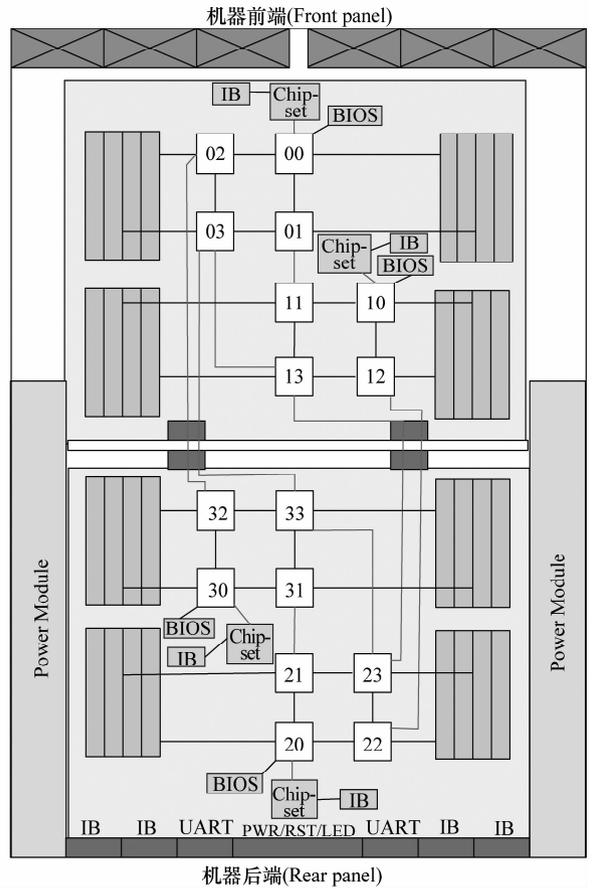


图 3 布局 B

综合两种布局的优缺点,如表 1 所示。

表 1 两种布局方案的比较

	布局 A	布局 B
散热	单一风路经过的 CPU 较多,散热递减效应明显	散热略好于方案 A
cc-NUMA 内部对称性	cc-NUMA 内部不对称	cc-NUMA 内部对称
印制板加工	印制板横向较窄,纵向较长,加工复杂	不存在这个问题
布局	较规整,线路清晰	规整程度略差于方案 A
走线	线间交叉少	处理器和内存连线与 HT 有多处交叉

为提高印制板成产率,分成上下两板设计,即采用图 4 所示布局 C,板间使用高速连接器互连,每板包括 8 个 CPU,分成左右两组,每组 4 个 CPU 首尾串联,呈“一”字形走向。在上述布局分析过程中,始终贯穿着功能、性能、散热的权衡设计。图 4 所示的布局还可以在设计流程后续环节中予以局部调整,例如结合芯片选型进行优化。

2.4 芯片选型

芯片是功能、性能的实现者,同时又是发热源。在满足功能的基础上,芯片的性能、功耗和体积是应同时考虑的几个方面。以通信芯片为例,在提供网络连通性的前提下,可选择具有不同幅度性能差异的控制芯片,同时,相近性能的芯片在功耗和体积两个指标上又各具特点。

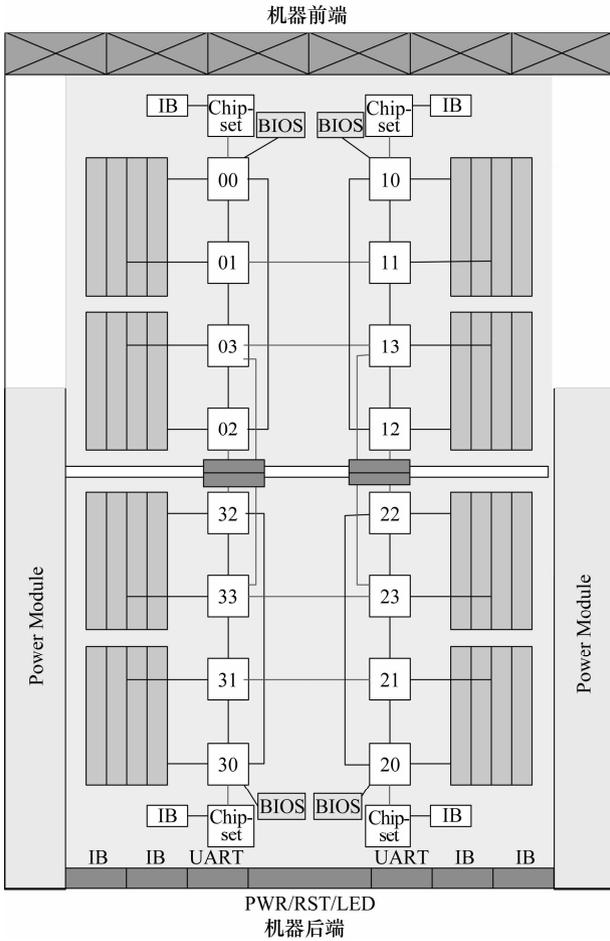


图 4 布局 C

通信芯片、处理器、芯片组、电源转换芯片等的选型一般均为功能、性能、散热权衡设计的关键权衡点,下面以电源转换芯片为例进行说明。

对图 4 所示布局 C,在满足系统对电源功能需求的前提下,可从性能、功耗角度提出两种优化的电源设计方案,对应地有两种优化布局 C.1 和 C.2,如图 5 和图 6 所示。

布局 C.1 采用的电源芯片,放置在内存条交错部分的间隙中。布局 C.2 则放置在内存外侧,处于印制板的边缘,单独占用一个风道。两种方案对应的电源芯片的温控目标如表 2 所示。

表 2 两种布局方案对应的电源选型的温控目标

布局 C.1		正常温度/($^{\circ}\text{C}$)	最高温度/($^{\circ}\text{C}$)
选型 1	SIL40C2-00SADJ-HJ	70	75
选型 2	VRM64-80-12-UY	60	65
选型 3	LDO10C-005W05-HJ	70	75
布局 C.2		正常温度/($^{\circ}\text{C}$)	最高温度/($^{\circ}\text{C}$)
选型 1	PTH08T250W	70	85
选型 2	PTH12010Y-YAH	70	85
选型 3	PTR08100W	70	85

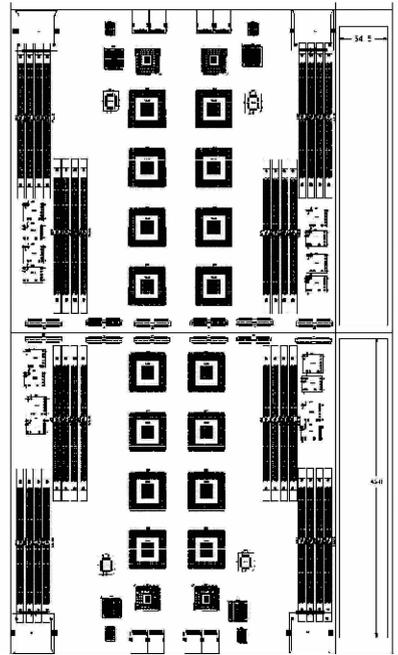


图 5 布局 C.1

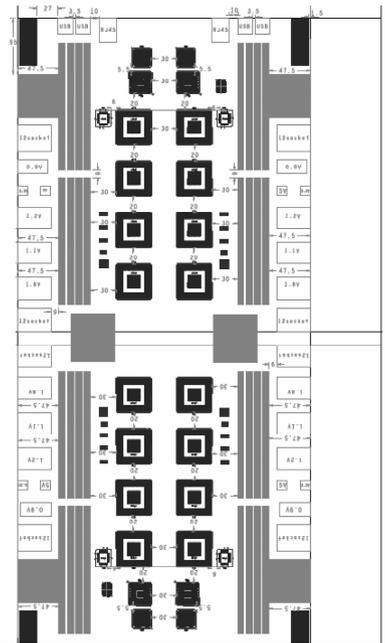


图 6 布局 C.2

与结构设计相对应,两种优化布局方案对应的热设计的区别有:(1)布局 C.2 为比较机箱侧壁开孔与不开孔对均衡 16 个 CPU 的温度的作用,分别设计了机箱侧壁不开孔和开孔的方案。(2)布局 C.2 同一个印制板上的多个 CPU 或 Chipset 等器件共用一个散热器。这样改进的目的使 CPU 等器件的温度更加均衡。(3)布局 C.2 采用双排风扇,增加风量和风压,克服更大风阻,提高散热效果。(4)布局 C.2 前后面板的开孔与主要散热器件处于同一风路

上,进风可直接冷却这些器件。

采用 ICEPAK 模拟器对上述结构及散热方案进行仿真。表 3 给出两种优化布局对应的热设计的仿真结果,图 7 为 C.1 对应的散热方案的 CPU 温度场。对于 C.2,给出了包括机箱侧壁开孔和不开孔两种情形对应的散热方案的仿真效果。

表 3 布局 C.1 和 C.2 对应散热方案的散热仿真结果

	正常工 作温度	最高安 全温度	布局 C.1 实 际最高温度	布局 C.2 实 际最高温度 (侧壁不开孔)	布局 C.2 实际 最高温度 (侧壁开孔)
处理器	70	75	63.73	57.64	55.91
内存	60	85	52.91	56.62	57.14
芯片组	70	85	67.41	63.30	62.14
电源芯片	75	90	120.6	72.43	73.19
通信芯片	70	80	57.93	64.97	63.79

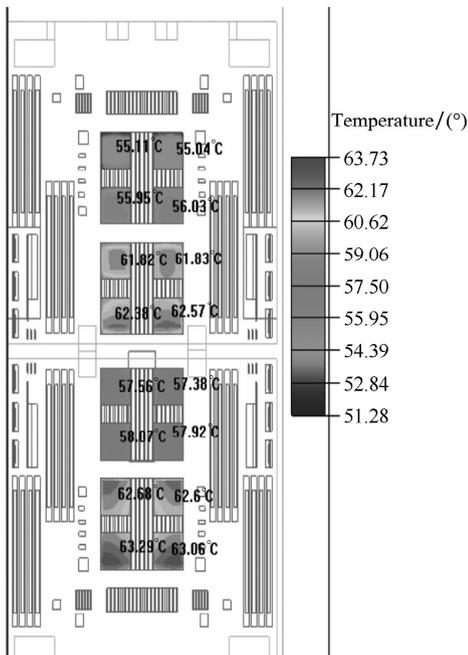


图 7 布局 C.1 对应 CPU 温度场

由表 3 可知,对于布局 C.1,CPU、芯片组、通信控制器、内存等散热需求得到满足。但电源芯片的实际温度超出了安全范围,且不能通过优化布局获得较大改善。因此从热设计的角度,否决了布局 C.1 对应的从功能设计角度提出的电源方案。

布局 C.2 的全部器件的散热需求均得到满足,成为一种可以大体接受的设计。对于侧壁开孔和侧壁不开孔两种情形,由于 1U 空间内处理器数量较多(16 个),侧壁开孔可使 CPU 最高温度降低约 2 °C,整体上有助于保持 CPU 之间的温度均衡,使系统具有更长的寿命。根据分析,布局 C.2 的侧面开孔方案可以作为最终设计。

3 测试与验证

良好的权衡设计体现在实现预期的多功能、高性能、高可靠,同时具有较好的可扩展性。

如图 8 所示,作为功能、性能、散热与结构权衡设计的最终载体^[16],研制的 16 路 1U Rack 高密度计算机占地 0.46 m²,峰值性能 256 GFlops,整机峰值功耗为 226 W/U,计算/功耗比约 0.853 GFlops/W。

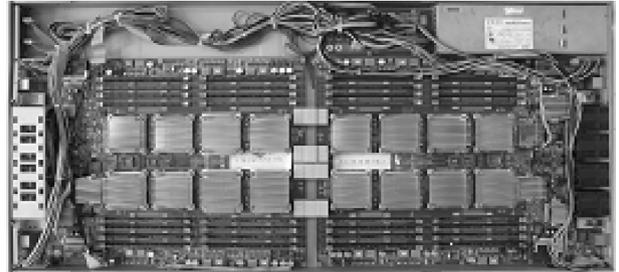


图 8 1U 高效计算机内部俯视图

对样机运行较大规模 Linpack 并进行功耗、温度测量,单 CPU 的实测功耗和温度在 10.2 W 和 32 °C 以内。表 4 为整机热设计在 CPU 不同功耗下的散热仿真效果。

表 4 热设计在 CPU 不同功耗下的散热仿真效果

单 CPU 功耗 /W	最高温度 /(°C)	最低温度 /(°C)	平均值 /(°C)
20	54.98	42.12	42.94
30	64.50	55.53	62.64
40	79.81	63.90	72.29
50	92.11	72.33	79.80

当前市场上主流的计算结点以两路居多,四路及四路以上的计算结点较少。如表 5 所示,与 IBM 等一些主流高性能计算结点相比,其具有高密度、低占地的显著特点。

表 5 相关计算机的比较

比较对象	密度、性能、功耗特点
本文设计的高密度计算机	支持 16 颗 4-core 1.0 GHz 龙芯 3A 处理器,占地 1 U,功耗约 226 W。
IBM BladeCenter® JS20 刀片服务器	支持 2 颗 2.2 GHz IBM PowerPC970 处理器。峰值性能约 17.6 GFlops,占地约 1/2 U,功耗约 395 W。
IBM BladeCenter® JS22 Express 刀片服务器	支持 4 颗 2-core 4.00 GHz POWER6 处理器,占地约 1/2 U,功耗约 350 W。
TYAN GT62B8230-LE 机架服务器	支持 2 颗 AMD 2.1 GHz 12-Core Opteron 6100 处理器,占地 1 U,功耗约 350 W,峰值性能约 201.6 GFlops。

这说明整机设计实现了复杂的功能,同时体现了低功耗、高效率的特点,结构和热设计是一种高效的解决方案,有较大的潜力应对更高的散热压力。

龙芯 3B 八核 CPU 的功耗预期在 25 W 以内,且封装与龙芯 3A CPU 相同,因此从 CPU 升级角度,当前的热设计可以大体保持不变,即具有良好的可扩展性。

4 结束语

本文结合一款基于国产多核处理器的 16 路高密度计算机的研制,分析了设计流程中可靠性与功能、性能的权衡方法,为超级计算机的核心部件高密度计算结点的多目标设计提供了思路和经验。

参考文献:

- [1] 谢向辉,胡苏太,李宏亮. 多核处理器及其对系统结构设计的影响[J]. 计算机科学与探索,2008,2(6):641-650. (Xie X H, Hu S T, Li H L. Multi-core/many-core processor and its influences on computer architecture design[J]. *Journal of Frontiers of Computer Science and Technology*, 2008,2(6):641-650.)
- [2] Meuer H, Strohmaier E, Dongarra J, et al. TOP500 list[EB/OL]. [2011-12-01]. <http://www.top500.org/list/2011/06/100>.
- [3] Patt Y. Computer architecture research and future microprocessor: where do we go from here? [C]// *Proc. of the 33rd International Symposium on Computer Architecture*, 2006:2-3.
- [4] Kogge P, Bergman K, Borkar S, et al. Exascale computing study: Technology challenges in achieving exascale systems[EB/OL]. [2011-09-11]. <http://www.cse.nd.edu/Reports/2008/TR-2008-13.pdf>.
- [5] Gao X, Chen Y J, Wang H D, et al. System architecture of Godson-3 multi-core processors[J]. *Journal of Computer Science and Technology*, 2010, 25(2): 181-191.
- [6] Wang H D, Gao X, Chen Y J, et al. Interconnection of godson-3 multi-core processor[J]. *Journal of Computer Research and Development*, 2008,45(12):2001-2010.
- [7] Grudin J. Computer-supported cooperative work: History and focus[J]. *Computer*, 1994, 27 (5):19-26.
- [8] Cutkosky M R, Engelmores R S, Fikes R E, et al. PACT: an experiment in integrating concurrent engineering systems[J]. *IEEE Trans. on Computers*, 1993,26(1): 28-37.
- [9] 谢英俊. 电子设备散热与电磁兼容的协同设计[J]. 电子机械工程, 2004,20(1):1-3. (Xie Y J. Integral design of thermal & EMC for electronic equipment[J]. *Electro-Mechanical Engineering*, 2004,20(1):1-3.)
- [10] Xie X H, Fang X, Hu S T, et al. Evolution of supercomputers[J]. *Frontiers of Computer Science in China*, 2010, 4(4): 428-436.
- [11] Vangal S R, Howard J, Ruhl G, et al. An 80-tile sub-100-w TeraFLOPS processor in 65-nm CMOS[J]. *IEEE Journal of Solid State Circuits*, 2008, 43(1): 29-41.
- [12] Mattson T, Riepen M, Lehnig T, et al. The 48-core SCC processor: The programmer's view[C]// *Proc. of the ACM/IEEE Conference on Supercomputing*, 2010:1-11.
- [13] Howard J, Dighe S, Vangal S R, et al. A 48-core IA-32 processor in 45 nm CMOS using on-die message-passing and DVFS for performance and power scaling[J]. *IEEE Journal of Solid State Circuits*, 2011,46(1): 173-183.
- [14] Gschwandtner P, Fahringer T, Prodan R. Performance analysis and benchmarking of the intel SCC[C]//*Proc. of the IEEE International Conference on Cluster Computing*, 2011: 139-149.
- [15] Zhu M F, Xiao L M, Ruan L, et al. Deepcomp: towards a balanced system design for high performance computer systems [J]. *Frontiers of Computer Science in China*, 2010, 4(4): 475-479.
- [16] 刘宇航,祝明发,肖利民,等. 基于龙芯 3A 处理器的高效能计算结点研制[J]. 高性能计算技术,2010,6:46-53. (Liu Y H, Zhu M F, Xiao L M, et al. Design of high productivity computing node based on Godson 3A CPU[J]. *High Performance Computing Technology*, 2010,6:46-53.)