



(12) 发明专利

(10) 授权公告号 CN 118276946 B

(45) 授权公告日 2024. 07. 26

(21) 申请号 202410703408.9

G06F 9/38 (2018.01)

(22) 申请日 2024.05.31

(56) 对比文件

(65) 同一申请的已公布的文献号

CN 112445753 A, 2021.03.05

申请公布号 CN 118276946 A

CN 117290260 A, 2023.12.26

(43) 申请公布日 2024.07.02

审查员 杨继爽

(73) 专利权人 北京开源芯片研究院

地址 100084 北京市海淀区海淀大街31号3层312

(72) 发明人 刘宇航 宋逸斐 陈泓佚

(74) 专利代理机构 北京润泽恒知识产权代理有限公司 11319

专利代理师 莎日娜

(51) Int. Cl.

G06F 9/312 (2018.01)

G06F 9/30 (2018.01)

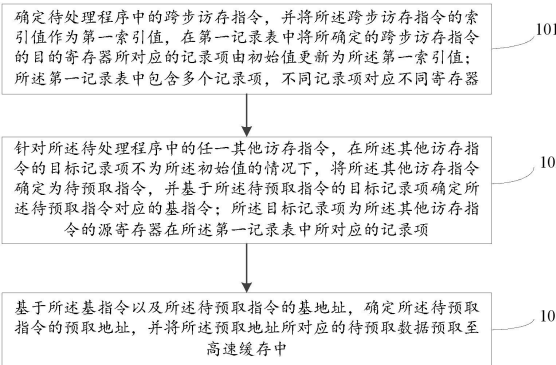
权利要求书2页 说明书15页 附图3页

(54) 发明名称

数据预取方法、装置、电子设备及可读存储介质

(57) 摘要

本发明实施例提供一种数据预取方法、装置、电子设备及可读存储介质,涉及计算机技术领域,该方法包括:确定待处理程序中的跨步访存指令,并将跨步访存指令的索引值作为第一索引值,在第一记录表中将所确定的跨步访存指令的目的寄存器所对应的记录项由初始值更新为第一索引值;针对待处理程序中的任一其他访存指令,在其他访存指令的目标记录项不为初始值的情况下,将其他访存指令确定为待预取指令,并基于待预取指令的目标记录项确定待预取指令对应的基指令;基于基指令以及待预取指令的基地址,确定待预取指令的预取地址,并将预取地址所对应的待预取数据预取至高速缓存中。实现对间接数组型访存指令进行数据预取。



1. 一种数据预取方法,其特征在于,所述方法包括:

确定待处理程序中的跨步访存指令,并将所述跨步访存指令的索引值作为第一索引值,在第一记录表中将所确定的跨步访存指令的目的寄存器所对应的记录项由初始值更新为所述第一索引值;所述第一记录表中包含多个记录项,不同记录项对应不同寄存器;

针对所述待处理程序中的任一其他访存指令,在所述其他访存指令的目标记录项不为所述初始值的情况下,将所述其他访存指令确定为待预取指令,并基于所述待预取指令的目标记录项确定所述待预取指令对应的基指令;所述目标记录项为所述其他访存指令的源寄存器在所述第一记录表中所对应的记录项;

基于所述基指令以及所述待预取指令的基地址,确定所述待预取指令的预取地址,并将所述预取地址所对应的待预取数据预取至高速缓存中。

2. 根据权利要求1所述的方法,其特征在于,所述确定待处理程序中的跨步访存指令之后,所述方法还包括:

确定所述跨步访存指令对应的偏移值,并将所述偏移值记录至第二记录表的所述偏移值的目的寄存器所对应的记录项中;

所述基于所述基指令以及所述待预取指令的基地址,确定所述待预取指令的预取地址,包括:

从所述第二记录表中获取所述基指令对应的目标偏移值,基于所述基指令以及所述目标偏移值确定目标预取值;

基于所述待预取指令的基地址以及所述目标预取值,确定所述待预取指令的预取地址。

3. 根据权利要求2所述的方法,其特征在于,所述方法还包括:

将各所述待预取指令的历史访问地址、历史目标偏移值以及所述待预取指令对应的跨步访存指令的历史访问数据作为各所述待预取指令的记录项,记录至第三记录表中;

针对任一所述待预取指令,在所述第三记录表中存在与所述待预取指令对应的记录项的情况下,从所述待预取指令对应的记录项中获取两个相邻的历史访问数据,并获取所述两个相邻的历史访问数据的差值,作为第一差值;以及,获取两个相邻的历史访问地址的差值,作为第二差值;

基于所述第一差值以及历史目标偏移值,确定待比对值,并在所述待比对值与所述第二差值一致的情况下,基于所述第一差值、第二差值中相匹配的历史访问数据、历史访问地址以及所述历史目标偏移值,确定所述待预取指令的当前的基地址;

在当前的基地址与所述第三记录表中所记录的历史基地址一致的次数大于预设次数阈值的情况下,将所述当前的基地址作为所述待预取指令的基地址,再执行所述确定所述待预取指令的预取地址的操作。

4. 根据权利要求3所述的方法,其特征在于,所述确定所述待预取指令的当前的基地址之后,所述方法还包括:

在所述第三记录表中不存在所述待预取指令对应的历史基地址的情况下,将所述当前的基地址作为所述待预取指令对应的历史基地址记录至所述第三记录表中。

5. 根据权利要求3所述的方法,其特征在于,所述确定所述待预取指令的当前的基地址之后,所述方法还包括:

在当前的基地址与所述第三记录表中所记录的历史基地址一致的情况下,将所述第三记录表中所述待预取指令所对应的置信度加1;

所述在当前的基地址与所述第三记录表中所记录的历史基地址一致的次数大于预设次数阈值的情况下,将所述当前的基地址作为所述待预取指令的基地址,再执行所述确定所述待预取指令的预取地址的操作,包括:

在当前的基地址与所述第三记录表中所记录的历史基地址一致的情况下,若所述第三记录表中所述待预取指令所对应的置信度大于预设阈值,则将所述当前的基地址作为所述待预取指令的基地址,再执行所述确定所述待预取指令的预取地址的操作。

6. 根据权利要求5所述的方法,其特征不在于,所述方法还包括:

在当前的基地址与所述第三记录表中所记录的历史基地址不一致的情况下,将所述第三记录表中所述待预取指令的置信度减1,并将所述第三记录表中所记录的历史基地址更新为所述当前的基地址。

7. 根据权利要求2所述的方法,其特征不在于,所述确定所述跨步访存指令对应的偏移值,包括:

针对所述待处理程序中的任一移位指令,在所述移位指令的源记录项不为所述初始值的情况下,将所述移位指令的目的寄存器在所述第一记录表中所对应的记录项由初始值更新为所述移位指令的索引值;所述源记录项为所述移位指令的源寄存器在所述第一记录表中所对应的记录项;

基于所述第一记录表中所包含的各移位指令的源操作数确定所述跨步访存指令对应的偏移值。

8. 一种数据预取装置,其特征不在于,所述装置包括:

第一确定模块,用于确定待处理程序中的跨步访存指令,并将所述跨步访存指令的索引值作为第一索引值,在第一记录表中将所确定的跨步访存指令的目的寄存器所对应的记录项由初始值更新为所述第一索引值;所述第一记录表中包含多个记录项,不同记录项对应不同寄存器;

第二确定模块,用于针对所述待处理程序中的任一其他访存指令,在所述其他访存指令的目标记录项不为所述初始值的情况下,将所述其他访存指令确定为待预取指令,并基于所述待预取指令的目标记录项确定所述待预取指令对应的基指令;所述目标记录项为所述其他访存指令的源寄存器在所述第一记录表中所对应的记录项;

预取模块,用于基于所述基指令以及所述待预取指令的基地址,确定所述待预取指令的预取地址,并将所述预取地址所对应的待预取数据预取至高速缓存中。

9. 一种电子设备,其特征不在于,所述电子设备包括处理器、存储器、通信接口和通信总线,所述处理器、所述存储器和所述通信接口通过所述通信总线完成相互间的通信;所述存储器用于存放可执行指令,所述可执行指令使所述处理器执行如权利要求1至7中任一项所述的数据预取方法。

10. 一种可读存储介质,其特征不在于,当所述可读存储介质中的指令由电子设备的处理器执行时,使得所述处理器能够执行如权利要求1至7中任一项所述的数据预取方法。

## 数据预取方法、装置、电子设备及可读存储介质

### 技术领域

[0001] 本发明涉及计算机技术领域,尤其涉及一种数据预取方法、装置、电子设备及可读存储介质。

### 背景技术

[0002] 随着计算机技术的发展,处理器计算速度得到了很大的提升,但存储系统的访存速度目前提升较小,对处理器性能的发展造成了一定的制约,产生了“存储墙”(Memory Wall)问题。目前通常采用硬件预取器对程序进行预测,并对预测到的数据进行预取,以缓解“存储墙”问题。

[0003] 而在程序为大数据或人工智能等领域的数据计算处理时,程序中往往存在间接数组型访存指令,这种访存指令的寻址过程依赖于实际存储的数据,地址变化不规则,现有的硬件预取器针对这种访存指令的预取效果较差。

### 发明内容

[0004] 本发明实施例提供一种数据预取方法、装置、电子设备及可读存储介质,可以解决现有技术中如何对间接数组型访存指令进行数据预取的问题。

[0005] 为了解决上述问题,本发明实施例公开了一种数据预取方法,所述方法包括:

[0006] 确定待处理程序中的跨步访存指令,并将所述跨步访存指令的索引值作为第一索引值,在第一记录表中将所确定的跨步访存指令的目的寄存器所对应的记录项由初始值更新为所述第一索引值;所述第一记录表中包含多个记录项,不同记录项对应不同寄存器;

[0007] 针对所述待处理程序中的任一其他访存指令,在所述其他访存指令的目标记录项不为所述初始值的情况下,将所述其他访存指令确定为待预取指令,并基于所述待预取指令的目标记录项确定所述待预取指令对应的基指令;所述目标记录项为所述其他访存指令的源寄存器在所述第一记录表中所对应的记录项;

[0008] 基于所述基指令以及所述待预取指令的基地址,确定所述待预取指令的预取地址,并将所述预取地址所对应的待预取数据预取至高速缓存中。

[0009] 另一方面,本发明实施例公开了一种数据预取装置,所述装置包括:

[0010] 第一确定模块,用于确定待处理程序中的跨步访存指令,并将所述跨步访存指令的索引值作为第一索引值,在第一记录表中将所确定的跨步访存指令的目的寄存器所对应的记录项由初始值更新为所述第一索引值;所述第一记录表中包含多个记录项,不同记录项对应不同寄存器;

[0011] 第二确定模块,用于针对所述待处理程序中的任一其他访存指令,在所述其他访存指令的目标记录项不为所述初始值的情况下,将所述其他访存指令确定为待预取指令,并基于所述待预取指令的目标记录项确定所述待预取指令对应的基指令;所述目标记录项为所述其他访存指令的源寄存器在所述第一记录表中所对应的记录项;

[0012] 预取模块,用于基于所述基指令以及所述待预取指令的基地址,确定所述待预取

指令的预取地址,并将所述预取地址所对应的待预取数据预取至高速缓存中。

[0013] 再一方面,本发明实施例还公开了一种电子设备,所述电子设备包括处理器、存储器、通信接口和通信总线,所述处理器、所述存储器和所述通信接口通过所述通信总线完成相互间的通信;所述存储器用于存放可执行指令,所述可执行指令使所述处理器执行前述的数据预取方法。

[0014] 本发明实施例还公开了一种可读存储介质,当所述可读存储介质中的指令由电子设备的处理器执行时,使得电子设备能够执行前述的数据预取方法。

[0015] 本发明实施例还公开了一种包含指令的计算机程序产品,当其在计算机上运行时,使得所述计算机执行前述的数据预取方法。

[0016] 本发明实施例包括以下优点:

[0017] 本发明实施例提供了一种数据预取方法,通过确定待处理程序中的跨步访存指令,并将所述跨步访存指令的索引值作为第一索引值,在第一记录表中将所确定的跨步访存指令的目的寄存器所对应的记录项由初始值更新为所述第一索引值;所述第一记录表中包含多个记录项,不同记录项对应不同寄存器;针对所述待处理程序中的任一其他访存指令,在所述其他访存指令的目标记录项不为所述初始值的情况下,将所述其他访存指令确定为待预取指令,并基于所述待预取指令的目标记录项确定所述待预取指令对应的基指令;所述目标记录项为所述其他访存指令的源寄存器在所述第一记录表中所对应的记录项;基于所述基指令以及所述待预取指令的基地址,确定所述待预取指令的预取地址,并将所述预取地址所对应的待预取数据预取至高速缓存中。本发明实施例通过第一记录表,可以对待处理程序中的依赖于跨步访存指令的间接数组型访存指令进行识别,实现对间接数组型访存指令进行数据预取。同时,基于源寄存器与目的寄存器之间的依赖关系,识别间接数组型访存指令,可以保证识别的准确率和覆盖率,能够定位到真正需要预取的指令的同时,避免发出无效预取浪费资源。

## 附图说明

[0018] 为了更清楚地说明本发明实施例的技术方案,下面将对本发明实施例的描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动性的前提下,还可以根据这些附图获得其他的附图。

[0019] 图1是本发明的一种数据预取方法实施例的步骤流程图;

[0020] 图2是本发明的一种抗干扰机制的示意图;

[0021] 图3是本发明的一种数据预取实施例的结构框图;

[0022] 图4是本发明的一种间接模式识别模块的结构框图;

[0023] 图5是本发明的一种数据预取装置实施例的结构框图;

[0024] 图6是本发明示例提供的一种用于数据预取的电子设备的结构框图。

## 具体实施方式

[0025] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例是本发明一部分实施例,而不是全部的实施例。基于本发

明中的实施例,本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0026] 本发明的说明书和权利要求书中的术语“第一”、“第二”等是用于区别类似的对象,而不用来描述特定的顺序或先后次序。应该理解这样使用的数据在适当情况下可以互换,以便本发明的实施例能够以除了在这里图示或描述的那些以外的顺序实施,且“第一”、“第二”等所区分的对象通常为一类,并不限定对象的个数,例如第一对象可以是一个,也可以是多。此外,说明书以及权利要求中的术语“和/或”用于描述关联对象的关联关系,表示可以存在三种关系,例如,A和/或B,可以表示:单独存在A,同时存在A和B,单独存在B这三种情况。字符“/”一般表示前后关联对象是一种“或”的关系。本发明实施例中术语“多个”是指两个或两个以上,其它量词与之类似。

[0027] 方法实施例

[0028] 参照图1,示出了本发明的一种数据预取方法实施例的步骤流程图,所述方法具体可以包括如下步骤:

[0029] 步骤101、确定待处理程序中的跨步访存指令,并将所述跨步访存指令的索引值作为第一索引值,在第一记录表中将所确定的跨步访存指令的目的寄存器所对应的记录项由初始值更新为所述第一索引值;所述第一记录表中包含多个记录项,不同记录项对应不同寄存器。

[0030] 步骤102、针对所述待处理程序中的任一其他访存指令,在所述其他访存指令的目标记录项不为所述初始值的情况下,将所述其他访存指令确定为待预取指令,并基于所述待预取指令的目标记录项确定所述待预取指令对应的基指令;所述目标记录项为所述其他访存指令的源寄存器在所述第一记录表中所对应的记录项。

[0031] 步骤103、基于所述基指令以及所述待预取指令的基地址,确定所述待预取指令的预取地址,并将所述预取地址所对应的待预取数据预取至高速缓存中。

[0032] 需要说明的是,针对上述步骤101~103,本发明实施例可以应用于任一处理器(Central Processing Unit,CPU)。相应地,本发明实施例中的高速缓存指的是当前处理器的高速缓存,可以是最靠近CPU端的高速缓存(例如:L1D Cache)。

[0033] 其中,上述待处理程序可以是待处理器译码执行的程序,其可以是与矩阵计算和图搜索相关的应用的程序,当然也可以是大数据和人工智能等领域的其他应用的程序,可以按照实际需求获取上述待处理程序,本发明实施例对此不作限制。其中,上述跨步访存指令指的是跨步型预取器(Stride预取器)所识别出的访存指令,该访存指令的访存地址是跨步型变化的,示例性地:

[0034] 指令A:lw a5,4,a4;

[0035] 其中,lw表示加载指令(load),指令A指示将寄存器a5的值加上4之后,存储至寄存器a4中。若在该指令A之前存在指示将寄存器a5的值加上固定数值后存入a5的指令B,则此时指令A的访存地址是跨步型变化的,每次变化的步长均为指令B所指示的固定数值,这种情况下可以确定指令A为跨步访存指令。

[0036] 本发明实施例中,上述步骤101可以通过处理器所配置的跨步型预取器获取跨步访存指令。跨步型预取器可以对待处理程序中所包含的访存指令进行识别,识别出每个跨步访存指令,并将所识别出的跨步访存指令的程序计数器(Program Counter,PC)记录至跨

步指令表中。从而本发明实施例可以通过读取跨步指令表确定待处理程序中的跨步访存指令。

[0037] 其中,上述索引值指的是指令的PC值,相当于各个指令的唯一标识,不同指令的索引值不同。上述第一记录表可以是预先构建的存储表,其中可以包含多个记录项,不同记录项对应不同寄存器。具体的,本发明实施例可以预先创建对应于处理器的各个寄存器的第一记录表,可以将不同寄存器的寄存器标识作为各个记录项的标识,不同记录项可以设置同一初始值。示例性地,上述初始值可以为0,当然也可以为1,可以按照实际需求自行设置,本发明实施例对此不作限制。

[0038] 进一步地,本发明实施例在确定待处理程序中的跨步访存指令之后,可以得到跨步访存指令的索引值,还可以得到跨步访存指令的源寄存器、目的寄存器等参数。此时,本发明实施例可以在第一记录表中,将跨步访存指令的目的寄存器所对应的记录项由初始值更新为该跨步访存指令的PC值。示例性地,以上述指令A的PC值为0x1a310为例,其目的寄存器为a4,将a4在第一记录表中的记录项可以记为headPC[a4]= 0x1a310。

[0039] 其中,上述其他访存指令指的是不为跨步访存指令的访存指令。进一步地,若待处理程序中的其他访存指令属于对跨步访存指令的间接访存,则其源寄存器往往依赖于跨步访存指令的目的寄存器。从而本发明实施例可以对待处理程序中的其他访存指令的源寄存器的记录项进行遍历,确定其他访存指令的源寄存器在第一记录表中所对应的记录项是否为初始值。可以理解的,为初始值的情况下,表明该其他访存指令并非属于依赖于跨步访存指令的间接访存。相应地,不为初始值的情况下,则表明该其他访存指令属于依赖于跨步访存指令的间接访存,此时可以将该其他访存指令确定为待预取指令,同时可以根据待预取指令的源寄存器在第一记录表中所对应的记录项,确定该待预取指令对应的基指令,也就是根据目标记录项的值得到基指令的PC值,进而可以得到基指令。

[0040] 可选地,上述步骤102之前,还可以包括:

[0041] 步骤1011:针对所述待处理程序中的任一其他类型指令,在所述其他类型指令的源记录项不为所述初始值的情况下,将所述其他类型指令的目的寄存器在所述第一记录表中所对应的记录项由初始值更新为所述其他类型指令的索引值。其中,上述源记录项为其他类型指令的源寄存器在第一记录表中所对应的记录项。

[0042] 上述基指令指的是待预取指令所依赖的指令。在其他类型指令的源记录项不为初始值的情况下,表明该其他类型指令依赖于跨步访存指令,或者所确定的跨步访存指令之后还存在其他类型指令。一种情况下,若跨步访存指令之后不存在其他类型指令的情况下,上述基指令往往指的是待预取指令所依赖的跨步访存指令。上述其他类型指令指的是指令类型不为访存类型的指令,例如,移位类型指令、计算类型指令等。

[0043] 另一种情况下,若跨步访存指令之后还存在其他类型指令,且其他类型指令的源寄存器在第一记录表中所对应的记录项不为初始值的情况下,此时表明跨步访存指令的目的寄存器的值进行了其他处理操作,本发明实施例可以进一步将其他类型指令的目的寄存器在第一记录表中的记录项更新为该其他类型指令的PC值。相应地,若其他访存指令的目标记录项不为初始值的情况下,若目标记录项对应的指令的指令类型不为访存类型,此时待预取指令对应的基指令包括其他类型指令以及该其他类型指令所依赖的跨步访存指令。其中,其他类型指令所依赖的跨步访存指令可以通过其他类型指令的源寄存器所对应的记

录项得到。

[0044] 进一步地,在得到基指令以及待预取指令之后,可以得到以跨步访存指令为起始指令的指令依赖关系,可以理解的,在第一记录表中,指令依赖关系上存在的寄存器所对应的记录项均不为初始值,相应地,指令依赖关系上不存在的寄存器所对应的记录项为初始值。本发明实施例可以将基指令以及待预取指令确定为间接数组型依赖的指令对,可以将基指令作为头指令,将待预取指令作为尾指令,通过该指令对对尾指令进行数据预取。示例性地,以存在间接数组型依赖的指令对A[B[i]]为例,访问B[i]的指令为头指令,访问A[B[i]]的指令为尾指令。

[0045] 其中,上述基地址指的是待预取指令的基地址,其往往是固定的,本发明实施例可以直接通过待预取指令的指令参数得到,或者也可以通过待预取指令的历史访问地址计算得到,具体可以按照实际需求自行设置,本发明实施例对此不作限制。进一步地,本发明实施例可以先对跨步访存指令进行预取,也就是,根据跨步访存指令的步长先预取跨步访存指令的预取数据,再根据跨步访存指令的预取数据对依赖链中除移位类型指令之外的其他基指令进行数据预取,再根据所有基指令的预取数据以及待预取指令的基地址确定预取地址,具体可以通过下述公式确定:

[0046] 预取地址 = base + Value  $\ll$  shift。

[0047] 其中,上述base指的是待预取指令的基地址,上述Value指的是除移位类型指令之外的其他基指令的预取数据,上述shift指的是基指令中包含的移位类型指令的移位偏移值,本发明实施例还可以根据移位类型指令的移位方向,设置shift的正负符号,例如在移位类型指令指示左移动两位时,记shift为+2,指示右移1位时,记shift为-1。在基指令仅包含跨步访存指令的情况下,上述shift可以为0,上述Value指的是跨步访存指令的预取数据。在基指令还包含移位类型指令的情况下,可以根据移位类型指令的指令参数确定上述shift。

[0048] 进一步地,本发明实施例在得到待预取指令的预取地址后,可以对预取地址进行访问,将该预取地址对应的数据作为待预取数据,提前存储到高速缓存中。这样,处理器在后续执行该待预取指令时,可以直接从高速缓存中得到待预取数据,而高速缓存的访存速度较快,可以大大提高指令的处理效率。

[0049] 本发明实施例提供的数据预取方法,通过确定待处理程序中的跨步访存指令,并将所述跨步访存指令的索引值作为第一索引值,在第一记录表中将所确定的跨步访存指令的目的寄存器所对应的记录项由初始值更新为所述第一索引值;所述第一记录表中包含多个记录项,不同记录项对应不同寄存器;针对所述待处理程序中的任一其他访存指令,在所述其他访存指令的目标记录项不为所述初始值的情况下,将所述其他访存指令确定为待预取指令,并基于所述待预取指令的目标记录项确定所述待预取指令对应的基指令;所述目标记录项为所述其他访存指令的源寄存器在所述第一记录表中所对应的记录项;基于所述基指令以及所述待预取指令的基地址,确定所述待预取指令的预取地址,并将所述预取地址所对应的待预取数据预取至高速缓存中。本发明实施例通过第一记录表,可以对待处理程序中的依赖于跨步访存指令的间接数组型访存指令进行识别,实现对间接数组型访存指令进行数据预取。同时,基于源寄存器与目的寄存器之间的依赖关系,识别间接数组型访存指令,可以保证识别的准确率和覆盖率,能够定位到真正需要预取的指令的同时,避免发出



无效预取浪费资源。

[0050] 在本发明的一种可选实施例中,上述确定待处理程序中的跨步访存指令的操作之后,本发明实施例具体还可以包括下述步骤:

[0051] S21、确定所述跨步访存指令对应的偏移值,并将所述偏移值记录至第二记录表的所述偏移值的目的寄存器所对应的记录项中。

[0052] 上述基于所述基指令以及所述待预取指令的基地址,确定所述待预取指令的预取地址的操作,本发明实施例具体可以包括:

[0053] S22、从所述第二记录表中获取所述基指令对应的目标偏移值,基于所述基指令以及所述目标偏移值确定目标预取值。

[0054] S23、基于所述待预取指令的基地址以及所述目标预取值,确定所述待预取指令的预取地址。

[0055] 其中,上述偏移值指的是跨步访存指令之后的移位操作的移动位数。上述第二记录表也可以是预先构建的存储表,用于存储依赖关系中出现过的移动操作移动位数。进一步地,上述偏移值的目的寄存器指的是移位类型指令的目的寄存器,示例性地,以精简指令集(RISC-V)为例,上述移位类型指令可以包括指令sll和sh2add等。

[0056] 相应地,上述第二记录表也可以包含多个记录项,不同记录项对应不同寄存器。可以将各个偏移值记录至移位类型指令的目的寄存器所对应的记录项中。具体的,本发明实施例可以根据移位类型指令的移位方向,将左移位数记为正数,右移位数记为负数。

[0057] 进一步地,本发明实施例还可以在任一指令的源寄存器在第一记录表中所对应的记录项不为初始值的情况下,将该源寄存器在第一记录表中所对应的记录项添加至该指令的目的寄存器在第一记录表中的记录项中。同时,将该源寄存器在第二记录表中所对应的记录项添加至该指令的目的寄存器在第二记录表中的记录项中,这样可以实现依赖关系以及偏移值的传递。相应地,若该指令的源寄存器在第一记录表中所对应的记录项为初始值的情况下,则将该指令的目的寄存器在第一记录表、第二记录表中所对应的记录项均保持为初始值即可。

[0058] 可选地,上述步骤102之前,还可以包括:

[0059] 步骤A:针对所述待处理程序中的任一移位指令,在所述移位指令的源记录项不为所述初始值的情况下,将所述移位指令的目的寄存器在所述第一记录表中所对应的记录项由初始值更新为所述移位指令的索引值。其中,上述源记录项为移位指令的源寄存器在第一记录表中所对应的记录项。

[0060] 步骤B:基于所述第一记录表中所包含的各移位指令的源操作数确定所述跨步访存指令对应的偏移值。

[0061] 具体的,本发明实施例可以基于指令的操作码得到移位指令。具体的,不同架构的指令集所定义的移位指令不同,本发明实施例可以根据当前的处理器所对应的架构的指令集所定义的移位指令的操作码,与待处理程序中各指令的操作码进行比对,得到移位指令。同时,查询第一记录表中移位指令的源寄存器的记录项是否为初始值,在不为初始值的情况下,此时该移位指令存在于跨步访存指令的依赖关系上,依赖于跨步访存指令执行,可以将移位指令的目的寄存器在第一记录表中所对应的记录项由初始值更新为移位指令的索引值。相应地,在源记录项为初始值的情况下,此时该移位指令不存在于跨步访存指令的依

赖关系上。这样,本发明实施例通过第一记录表还可以得到依赖于跨步访存指令的移位指令的依赖链。

[0062] 其中,上述第一记录表中所包含的移位指令指的是,第一记录表中所包含的对应于移位类型指令的索引值所指示的指令。可以理解的,经过上述步骤,第一记录表中的记录项分为三种情况:初始值、访存指令的索引值、其他类型指令的索引值,因而本发明实施例从其他类型指令的索引值的记录项中,对属于移位类型指令的索引值的记录项进行读取即可得到第一记录表中所包含的移位指令,此时这些移位指令均属于跨步访存指令的依赖链。可以理解的,上述第一记录表中所包含的各移位指令的数量可以为0、1、2等,具体根据待处理程序的不同存在不同,本发明实施例对此不作限制。

[0063] 进一步地,本发明实施例在确定预取地址时,可以先从第二记录表中获取基指令对应的目标偏移值,并基于基指令以及目标偏移值确定目标预取值。具体的,可以先根据基指令中的跨步访存指令预取基指令对应的预取数据Value,进而根据依赖关系中所出现过的偏移值相加得到目标偏移值,并使得预取数据左移目标偏移值(shift)之后,得到目标预取值 $Value \ll shift$ 。

[0064] 进一步地,可以通过基地址加上目标预取值得到预取地址。

[0065] 本发明实施例中,通过将跨步访存指令对应的偏移值记录至第二记录表中,在确定预取地址时,通过第二记录表可以便捷地获取间接访存过程中的目标偏移值,进而可以提高确定预取地址的效率。

[0066] 在本发明的一种可选实施例中,本发明实施例具体还可以包括下述步骤:

[0067] S31、将各所述待预取指令的历史访问地址、历史目标偏移值以及所述待预取指令对应的跨步访存指令的历史访问数据作为各所述待预取指令的记录项,记录至第三记录表中。

[0068] S32、针对任一所述待预取指令,在所述第三记录表中存在与所述待预取指令对应的记录项的情况下,从所述待预取指令对应的记录项中获取两个相邻的历史访问数据,并获取所述两个相邻的历史访问数据的差值,作为第一差值;以及,获取两个相邻的历史访问地址的差值,作为第二差值。

[0069] S33、基于所述第一差值以及历史目标偏移值,确定待对比值,并在所述待对比值与所述第二差值一致的情况下,基于所述第一差值、第二差值中相匹配的历史访问数据、历史访问地址以及所述历史目标偏移值,确定所述待预取指令的当前的基地址。

[0070] S34、在当前的基地址与所述第三记录表中记录的历史基地址一致的次数大于预设次数阈值的情况下,将所述当前的基地址作为所述待预取指令的基地址,再执行所述确定所述待预取指令的预取地址的操作。

[0071] 其中,上述第三记录表也可以是预先构建的存储表,其用于记录头指令每次执行时的访问数据作为历史访问数据,以及记录尾指令每次执行时的访问地址作为历史访问地址。同时,本发明实施例还可以在第三记录表中记录尾指令每次执行时的目标偏移值,作为历史偏移值。

[0072] 具体的,本发明实施例可以在第三记录表中为各个待预取指令创建不同的记录项,每个记录项可以包含该待预取指令的PC值、该待预取指令对应的跨步访存指令的PC值、目标偏移值、跨步访存指令的访问数据以及待预取指令的访问地址。可选地,每个记录项所

存储的历史访问数据的数量可以不超过预设上限值,例如,可以设置最多存储三个历史访问数据。在超出预设上限值的情况下,可以按照先入先出的规则对已存储的历史访问数据进行删除。

[0073] 其中,上述当前访问地址指的是所确定的新的预取地址。进一步地,针对任一待预取指令,若第三记录表中存在与该待预取指令对应的记录项时,可以从记录项中获取相邻的两个历史访问数据做差,得到第一差值,以及获取相邻的两个历史访问地址做差,得到第二差值。将第一差值左移目标偏移值所指示的位数,并与第二差值比较。若两者一致,则表明配对成功,此时可以基于相匹配的历史访问地址、历史访问数据确定基地址。可选地,上述第二差值可以是相邻的两个不同的历史访问地址的差值。

[0074] 具体的,由于当前处理器的复杂情况,处理器在执行指令时往往为乱序执行,以及可能包含多个分支的问题,这种情况可能导致头指令连续执行后,尾指令再执行,可能导致访存数据与预取地址的错位的问题。为了避免这种问题,本发明实施例可以基于第三记录表中的记录项实现抗干扰机制。

[0075] 示例性地,以第三记录表中存在历史访问数据10、6,目标偏移值2,历史访问地址为0x108、0x118为例,则可以采用values (10,6)和addrs (0x118,0x108)进行匹配,第二差值为(0x118-0x108),待比值为((10-6)<<2),匹配过程为(10-6)<<2 = 0x118-0x108。可以看出匹配成功,此时可以基于相匹配的历史访问地址、历史访问数据以及历史目标偏移值,确定当前的基地址。其中,上述相匹配的历史访问数据、历史访问地址指的是,在时间维度上,记录时间均较早或较后的历史访问数据以及历史访问地址。

[0076] 具体的,确定方式可以是历史访问地址-历史访问数据<<历史目标偏移值。示例性地,以上述第二差值为(0x118-0x108),待比值为((10-6)<<2),匹配过程为(10-6)<<2 = 0x118-0x108为例,可以计算出基地址为 $0x108 - 6 \ll 2 = 0x108 - 0x18 = 0xF0$ 。

[0077] 进一步地,在计算出当前的基地址后,可以将当前的基地址与第三记录表中所记录的历史基地址进行比对,在一致的次数大于预设次数阈值的情况下,则将当前的基地址作为待预取指令的基地址,执行上述确定待预取指令的预取地址的操作。其中,上述预设次数阈值可以自行设置,例如可以设置1、2、3等,本发明实施例对此不作限制。

[0078] 可选地,本发明实施例还可以包括:

[0079] S41、在所述第三记录表中不存在所述待预取指令对应的历史基地址的情况下,将所述当前的基地址作为所述待预取指令对应的历史基地址记录至所述第三记录表中。

[0080] 在第三记录表中不存在待预取指令对应的历史基地址的情况下,则可以将当前的基地址作为待预取指令对应的历史基地址记录至第三记录表中。

[0081] 进一步地,本发明实施例通过在第三记录表中记录历史基地址,可以仅在当前的基地址与历史基地址一致的次数大于预设次数阈值的情况下,再执行确定所述待预取指令的预取地址的操作,这样可以避免乱序执行处理器导致的预取错误的情况。

[0082] 可选地,本发明实施例具体还可以包括:

[0083] S51、在当前的基地址与所述第三记录表中所记录的历史基地址一致的情况下,将所述第三记录表中所述待预取指令所对应的置信度加1。

[0084] 上述在当前的基地址与所述第三记录表中所记录的历史基地址一致的次数大于预设次数阈值的情况下,将所述当前的基地址作为所述待预取指令的基地址,再执行所述

确定所述待预取指令的预取地址的操作,本发明实施例具体可以包括:

[0085] S52、在当前的基地址与所述第三记录表中所记录的历史基地址一致的情况下,若所述第三记录表中所述待预取指令所对应的置信度大于预设阈值,则将所述当前的基地址作为所述待预取指令的基地址,再执行所述确定所述待预取指令的预取地址的操作。

[0086] 具体的,本发明实施例还可以在第三记录表中为待预取指令设置置信度,在当前的基地址与第三记录表中的历史基地址一致的情况下,将该待预取指令对应的置信度加1。

[0087] 相应地,在当前的基地址与第三记录表中所记录的历史基地址一致的情况下,若第三记录表中待预取指令所对应的置信度大于预设阈值,则可将当前的基地址作为待预取指令的基地址,再执行确定预取地址的操作。

[0088] 示例性地,图2示出了本发明的一种抗干扰机制的示意图,如图2所示,图2中的第三记录表(间接表,IndirectTable)用于记录待预取指令的索引值(tail\_pc)、该待预取指令对应的跨步访存指令的索引值,即第一索引值(head\_pc)、目标偏移值(shift)、跨步访存指令的访问数据(head\_value)、访问地址(第一访问地址,head\_addr)以及待预取指令的访问地址(第二访问地址,tail\_addr)、待预取指令的基地址(base\_addr)。还可以包括待预取指令的置信度(conf)。

[0089] 进一步地,处理器执行各访存指令时,由于乱序执行,待预取指令与跨步访存指令的执行顺序不确定,图2中示出了几种访存指令的执行结果,其中下划线所标记的执行结果为待预取指令。图中,跨步访存指令load value(=10)、load value(=11)均先于待预取指令hit 0x118和miss 0x11c执行,load value(=4)是当前最新的执行结果。

[0090] 同时,图2中针对待预取指令0x1a318的记录项中包含了三次执行记录,其对应的跨步访存指令为0x1a310。如图2所示,三次执行记录的历史访问地址均为0x108,跨步访存指令的三次执行结果按照执行顺序依次为:6、10、11,置信度为0。

[0091] 本发明实施例在发生待预取指令0x11c访问时,此时可以比较任意两个访存数据的差值左移shift对应的位数之后,是否与访存地址的差值相等,在相等的情况下,可以计算基地址。例如values(10,6)和addrs(0x118,0x108)配对成功,配对过程为 $(10-6) \ll 2 = 0x118-0x108$ 。则基于尾指令地址0x108和头指令值6可以计算出基地址 $0x108 - 6 \ll 2 = 0x108 - 0x18 = 0xF0$ 。

[0092] 进一步地,如果计算出基地址后,对应表项中没有基地址,则存储。否则对比新计算出的结果和已存储的结果,相等的话则对应表项置信度+1。

[0093] 可选地,在当前的基地址与所述第三记录表中所记录的历史基地址不一致的情况下,将所述第三记录表中所述待预取指令的置信度减1,并将所述第三记录表中所记录的历史基地址更新为所述当前的基地址。

[0094] 这样,本发明实施例通过在第三记录表中设置置信度,并通过历史访存数据、历史访问地址参与判断,避免了乱序执行带来的执行错位导致的训练失败的问题,可以在一定程度上保证得到的基地址的准确性。

[0095] 可选地,本发明实施例可以以硬件方式实现,可以设置间接数组型识别模块和基地址值训练模块,需要与跨步型预取器一起使用,均被部署在最靠近CPU端的数据高速缓存上(本发明中用L1D Cache代指)。

[0096] 图3示出了本发明的一种数据预取实施例的结构框图,如图3所示,处理器在执行

待处理程序的指令流时,可以将指令的索引值(PC)、操作码(opcode)以及寄存器标识(registers)发送(dispatch)至间接识别模块,间接模式识别模块可以通过跨步指令表识别跨步访存指令,得到跨步访存指令的索引值,即第一索引值,并在第一记录表中将跨步访存指令的目标寄存器的记录项更新为跨步访存指令的索引值,进而通过记录项传递依赖链的索引值。同时还可以在第二记录表中更新跨步访存指令的偏移值,直至识别到待预取指令后,识别出间接访存模式,出现识别信号(issue),将间接模式依赖链信息发送至基地址训练模块。其中,跨步指令表可以通过跨步型预取器读取第一索引值得到。

[0097] 示例性地,图4示出了本发明的一种间接模式识别模块的结构框图,如图3、4所示,间接模式识别模块的输入为被发射的指令信息(包含指令PC、操作码和三个寄存器编号),识别流程如下:

[0098] 如果输入指令为访存(load)指令,且源寄存器对应的记录项(headPC表项)均为初始值0,在跨步指令表中搜索输入指令PC,识别是否为跨步指令,将跨步指令的目的寄存器的表项设为跨步指令的PC值。

[0099] 如果当前输入指令被识别为跨步指令,则将跨步访存指令的索引值更新至对应记录项,即,将指令PC存入目的寄存器相关的记录项中(例如headPC[a4] = 0x1a310)。

[0100] 如果当前输入指令为移位类型指令(例如RISC-V指令集中的sll和sh2add等都属于移位指令),记录移位操作信息到对应目的寄存器的shift表项中,左移位数计正数,右移位数计负数。

[0101] 传递依赖链和偏移信息,即,传递依赖的headPC信息和shift信息,传递规则为,如果任意源寄存器对应的headPC表项不为0,则将该源寄存器的两种对应信息headPC和shift都更新到目的寄存器对应的表项中。否则,将目的寄存器的两个信息都设为初始值:0。如果输入指令为访存(load)指令,且任意源寄存器对应的记录项(headPC表项)不为0,则将指令PC存入目的寄存器相关的headPC表项中。

[0102] 在得到跨步访存指令至其他访存指令的依赖链后,可以将间接模式依赖链信息发送至基地址训练模块。其中,间接模式依赖链信息可以包括依赖链所包含的指令的索引值、跨步访存指令的源寄存器标识、偏移值的源寄存器标识、目的寄存器标识以及当前指令的索引值等。

[0103] 进一步地,基地址训练模块可以在第三记录表(间接表)的对应表项中记录头指令的访问值,记录尾指令的访存地址。每个表项最多记录三个访存值,超出三个值则按照先入先出的规则进行替换。

[0104] 第二步,当发生尾指令访问,并且此时对应间接表表项中尾指令地址(tail\_addr)不为空,则计算被记录的访存值中任意两个相邻访存值做差并左移表项中shift位数,比较该值是否与记录地址和当前地址的差值相等。如果相等计算并存储基地址。此处,用任意两个访存值做差的目的是为了 avoid 乱序执行导致访存值和访存地址的错位,进而导致训练失败。

[0105] 当再次发生尾指令访问,重复上述第二步。如果匹配成功,并且计算出的基地址与已经存储的基地址相等,为了避免识别错误,则将对应该表项的置信度+1,如果不相等则置信度-1。当表项中置信度为3时,头指令的缓存命中或缓存缺失会触发预取机制,根据偏移值和基地址计算出未来将会被尾指令使用的数据所在位置,并发出对应预取。可以将预取数

据预取至一级预取队列(L1D预取队列)中,通过预取队列将预取数据预先存储至一级高速缓存(L1DCache)中。这样,处理器在执行间接模式访存指令时,可以先对高速缓存进行访问,在L1DCache中命中时,无需通过缺失状态处理寄存器(Miss Status Handling Register,MSHR)访问下级缓存或内存(L1D MSHR、L2 Cache)进行数据回填,提高高速缓存命中率,降低了对应的访存延迟,从而提高了图应用等间接数组型指令密集型应用的性能表现。

[0106] 需要说明的是,对于方法实施例,为了简单描述,故将其都表述为一系列的动作组合,但是本领域技术人员应该知悉,本发明实施例并不受所描述的动作顺序的限制,因为依据本发明实施例,某些步骤可以采用其他顺序或者同时进行。其次,本领域技术人员也应该知悉,说明书中所描述的实施例均属于优选实施例,所涉及的动作并不一定是本发明实施例所必须的。

[0107] 装置实施例

[0108] 参照图5,示出了本发明的一种数据预取装置实施例的结构框图,所述装置20具体可以包括:

[0109] 第一确定模块201,用于确定待处理程序中的跨步访存指令,并将所述跨步访存指令的索引值作为第一索引值,在第一记录表中将所确定的跨步访存指令的目的寄存器所对应的记录项由初始值更新为所述第一索引值;所述第一记录表中包含多个记录项,不同记录项对应不同寄存器;

[0110] 第二确定模块202,用于针对所述待处理程序中的任一其他访存指令,在所述其他访存指令的目标记录项不为所述初始值的情况下,将所述其他访存指令确定为待预取指令,并基于所述待预取指令的目标记录项确定所述待预取指令对应的基指令;所述目标记录项为所述其他访存指令的源寄存器在所述第一记录表中所对应的记录项;

[0111] 预取模块203,用于基于所述基指令以及所述待预取指令的基地址,确定所述待预取指令的预取地址,并将所述预取地址所对应的待预取数据预取至高速缓存中。

[0112] 可选地,所述装置还包括:

[0113] 第三确定模块,用于确定所述跨步访存指令对应的偏移值,并将所述偏移值记录至第二记录表的所述偏移值的目的寄存器所对应的记录项中;

[0114] 所述预取模块,包括:

[0115] 第四确定子模块,用于从所述第二记录表中获取所述基指令对应的目标偏移值,基于所述基指令以及所述目标偏移值确定目标预取值;

[0116] 第五确定子模块,用于基于所述待预取指令的基地址以及所述目标预取值,确定所述待预取指令的预取地址。

[0117] 可选地,所述装置还包括:

[0118] 第一记录模块,用于将各所述待预取指令的历史访问地址、历史目标偏移值以及所述待预取指令对应的跨步访存指令的历史访问数据作为各所述待预取指令的记录项,记录至第三记录表中;

[0119] 第一获取模块,用于针对任一所述待预取指令,在所述第三记录表中存在与所述待预取指令对应的记录项的情况下,从所述待预取指令对应的记录项中获取两个相邻的历史访问数据,并获取所述两个相邻的历史访问数据的差值,作为第一差值;以及,获取两个

相邻的历史访问地址的差值,作为第二差值;

[0120] 第五确定模块,用于基于所述第一差值以及历史目标偏移值,确定待比对值,并在所述待比对值与所述第二差值一致的情况下,基于所述第一差值、第二差值中相匹配的历史访问数据、历史访问地址以及所述历史目标偏移值,确定所述待预取指令的当前的基地址;

[0121] 执行模块,用于在当前的基地址与所述第三记录表中所记录的历史基地址一致的次数大于预设次数阈值的情况下,将所述当前的基地址作为所述待预取指令的基地址,再执行所述确定所述待预取指令的预取地址的操作。

[0122] 可选地,所述装置还包括:

[0123] 第二记录模块,用于在所述第三记录表中不存在所述待预取指令对应的历史基地址的情况下,将所述当前的基地址作为所述待预取指令对应的历史基地址记录至所述第三记录表中。

[0124] 可选地,所述装置还包括:

[0125] 第一置信度模块,用于在当前的基地址与所述第三记录表中所记录的历史基地址一致的情况下,将所述第三记录表中所述待预取指令所对应的置信度加1;

[0126] 所述执行模块,具体用于:

[0127] 在当前的基地址与所述第三记录表中所记录的历史基地址一致的情况下,若所述第三记录表中所述待预取指令所对应的置信度大于预设阈值,则将所述当前的基地址作为所述待预取指令的基地址,再执行所述确定所述待预取指令的预取地址的操作。

[0128] 可选地,所述装置还包括:

[0129] 第二置信度模块,用于在当前的基地址与所述第三记录表中所记录的历史基地址不一致的情况下,将所述第三记录表中所述待预取指令的置信度减1,并将所述第三记录表中所记录的历史基地址更新为所述当前的基地址。

[0130] 可选地,所述第三确定模块,包括:

[0131] 更新子模块,用于针对所述待处理程序中的任一移位指令,在所述移位指令的源记录项不为所述初始值的情况下,将所述移位指令的目的寄存器在所述第一记录表中所对应的记录项由初始值更新为所述移位指令的索引值;所述源记录项为所述移位指令的源寄存器在所述第一记录表中所对应的记录项;

[0132] 第六确定子模块,用于基于所述第一记录表中所包含的各移位指令的源操作数确定所述跨步访存指令对应的偏移值。

[0133] 综上,本发明实施例提供了一种数据预取装置,通过确定待处理程序中的跨步访存指令,并将所述跨步访存指令的索引值作为第一索引值,在第一记录表中将所确定的跨步访存指令的目的寄存器所对应的记录项由初始值更新为所述第一索引值;所述第一记录表中包含多个记录项,不同记录项对应不同寄存器;针对所述待处理程序中的任一其他访存指令,在所述其他访存指令的目标记录项不为所述初始值的情况下,将所述其他访存指令确定为待预取指令,并基于所述待预取指令的目标记录项确定所述待预取指令对应的基指令;所述目标记录项为所述其他访存指令的源寄存器在所述第一记录表中所对应的记录项;基于所述基指令以及所述待预取指令的基地址,确定所述待预取指令的预取地址,并将所述预取地址所对应的待预取数据预取至高速缓存中。本发明实施例通过第一记录表,可

以对待处理程序中的依赖于跨步访存指令的间接数组型访存指令进行识别,实现对间接数组型访存指令进行数据预取。同时,基于源寄存器与目的寄存器之间的依赖关系,识别间接数组型访存指令,可以保证识别的准确率和覆盖率,能够定位到真正需要预取的指令的同时,避免发出无效预取浪费资源。

[0134] 对于系统实施例而言,由于其与方法实施例基本相似,所以描述的比较简单,相关之处参见方法实施例的部分说明即可。

[0135] 本说明书中的各个实施例均采用递进的方式描述,每个实施例重点说明的都是与其他实施例的不同之处,各个实施例之间相同相似的部分互相参见即可。

[0136] 关于上述实施例中的数据预取装置,其中各个模块执行操作的具体方式已经在有关该方法的实施例中进行了详细描述,此处将不做详细阐述说明。

[0137] 本发明实施例还提供了一种电子设备,包括:处理器、用于存储处理器可执行指令的存储器,其中,处理器被配置为执行上述数据预取方法。

[0138] 参照图6,是本发明实施例提供的电子设备的结构示意图。如图6所示,所述电子设备包括:处理器、存储器、通信接口和通信总线,所述处理器、所述存储器和所述通信接口通过所述通信总线完成相互间的通信;所述存储器用于存放至少一可执行指令,所述可执行指令使所述处理器执行前述实施例的数据预取方法。

[0139] 需要说明的是,本申请实施例中的电子设备包括移动电子设备和非移动电子设备。

[0140] 所述处理器可以是CPU(Central Processing Unit,中央处理器),通用处理器、DSP(Digital Signal Processor,数字信号处理器),ASIC(Application Specific Integrated Circuit,专用集成电路),FPGA(Field Programmable Gate Array,现场可编程门阵列)或者其他可编辑器件、晶体管逻辑器件、硬件部件或者其任意组合。所述处理器也可以是实现计算功能的组合,例如包含一个或多个微处理器组合,DSP和微处理器的组合等。

[0141] 所述通信总线可包括一通路,在存储器和通信接口之间传送信息。通信总线可以是PCI(Peripheral Component Interconnect,外设部件互连标准)总线或EISA(Extended Industry Standard Architecture,扩展工业标准结构)总线等。所述通信总线可以分为地址总线、数据总线、控制总线等。为便于表示,图6中仅用一条线表示,但并不表示仅有一根总线或一种类型的总线。

[0142] 所述存储器可以是ROM(Read Only内存,只读内存)或可存储静态信息和指令的其他类型的静态存储设备、RAM(Random Access,随机存取存储器)或者可存储信息和指令的其他类型的动态存储设备,也可以是EEPROM(Electrically Erasable Programmable Read Only,电可擦可编程只读内存)、CD-ROM(Compact Disc Read Only,只读光盘)、磁带、软盘和光数据存储设备等。

[0143] 本发明实施例还提供了一种非临时性计算机可读存储介质,当所述存储介质中的指令由电子设备(服务器或者终端)的处理器执行时,使得处理器能够执行图1所示的数据预取方法。

[0144] 本发明实施例还提供了一种包含指令的计算机程序产品,当其在计算机上运行时,使得计算机执行图1所示的数据预取方法。



[0145] 本申请实施例还提供了一种芯片,所述芯片包括处理器和通信接口,所述通信接口和所述处理器耦合,所述处理器用于运行程序或指令,实现上述数据预取方法实施例的各个过程,且能达到相同的技术效果,为避免重复,这里不再赘述。

[0146] 应理解,本申请实施例提到的芯片还可以称为系统级芯片、系统芯片、芯片系统或片上系统芯片等。

[0147] 本说明书中的各个实施例均采用递进的方式描述,每个实施例重点说明的都是与其他实施例的不同之处,各个实施例之间相同相似的部分互相参见即可。

[0148] 本领域内的技术人员应明白,本发明实施例的实施例可提供为方法、装置、或计算机程序产品。因此,本发明实施例可以全部或部分地通过软件、硬件、固件或者其任意组合来实现。当使用软件实现时,可以全部或部分地以计算机程序产品的形式实现。所述计算机程序产品包括一个或多个计算机指令。在计算机上加载和执行所述计算机程序指令时,全部或部分地产生按照本发明实施例所述的流程或功能。所述计算机可以是通用计算机、专用计算机、计算机网络、或者其他可编程装置。所述计算机指令可以存储在计算机可读存储介质中,或者从一个计算机可读存储介质向另一个计算机可读存储介质传输,例如,所述计算机指令可以从一个网站站点、计算机、服务器或数据中心通过有线(例如同轴电缆、光纤、数字用户线(DSL))或无线(例如红外、无线、微波等)方式向另一个网站站点、计算机、服务器或数据中心进行传输。所述计算机可读存储介质可以是计算机能够存取的任何可用介质或者是包含一个或多个可用介质集成的服务器、数据中心等数据存储设备。所述可用介质可以是磁性介质,(例如,软盘、硬盘、磁带)、光介质(例如,DVD)、或者半导体介质(例如固态硬盘Solid State Disk (SSD))等。

[0149] 本发明实施例是参照根据本发明实施例的方法、终端设备(系统)、和计算机程序产品的流程图和/或方框图来描述的。应理解可由计算机程序指令实现流程图和/或方框图中的每一流程和/或方框、以及流程图和/或方框图中的流程和/或方框的结合。可提供这些计算机程序指令到通用计算机、专用计算机、嵌入式处理机或其他可编程数据处理终端设备的处理器以产生一个机器,使得通过计算机或其他可编程数据处理终端设备的处理器执行的指令产生用于实现在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能的装置。

[0150] 这些计算机程序指令也可存储在能引导计算机或其他可编程数据处理终端设备以预测方式工作的计算机可读存储器中,使得存储在该计算机可读存储器中的指令产生包括指令装置的制造品,该指令装置实现在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能。

[0151] 这些计算机程序指令也可装载到计算机或其他可编程数据处理终端设备上,使得在计算机或其他可编程终端设备上执行一系列操作步骤以产生计算机实现的处理,从而在计算机或其他可编程终端设备上执行的指令提供用于实现在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能的步骤。

[0152] 尽管已描述了本发明实施例的优选实施例,但本领域内的技术人员一旦得知了基本创造性概念,则可对这些实施例做出另外的变更和修改。所以,所附权利要求意欲解释为包括优选实施例以及落入本发明实施例范围的所有变更和修改。

[0153] 本说明书中的各个实施例均采用相关的方式描述,各个实施例之间相同相似的部

分互相参见即可,每个实施例重点说明的都是与其他实施例的不同之处。尤其,对于系统实施例而言,由于其基本相似于方法实施例,所以描述的比较简单,相关之处参见方法实施例的部分说明即可。

[0154] 需要说明的是,本申请实施例中获取各种数据相关过程,都是在遵照所在地国家相应的数据保护法规政策的前提下,并获得由相应装置所有者给予授权的情况下进行的。

[0155] 最后,还需要说明的是,在本文中,诸如第一和第二等之类的关系术语仅仅用来将一个实体或者操作与另一个实体或操作区分开来,而不一定要求或者暗示这些实体或操作之间存在任何这种实际的关系或者顺序。而且,术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含,从而使得包括一系列要素的过程、方法、物品或者终端设备不仅包括那些要素,而且还包括没有明确列出的其他要素,或者是还包括为这种过程、方法、物品或者终端设备所固有的要素。在没有更多限制的情况下,由语句“包括一个……”限定的要素,并不排除在包括所述要素的过程、方法、物品或者终端设备中还存在另外的相同要素。

[0156] 以上对本发明所提供的一种数据预取方法、装置、电子设备及可读存储介质,进行了详细介绍,本文中应用了具体个例对本发明的原理及实施方式进行了阐述,以上实施例的说明只是用于帮助理解本发明的方法及其核心思想;同时,对于本领域的一般技术人员,依据本发明的思想,在具体实施方式及应用范围上均会有改变之处,综上所述,本说明书内容不应理解为对本发明的限制。

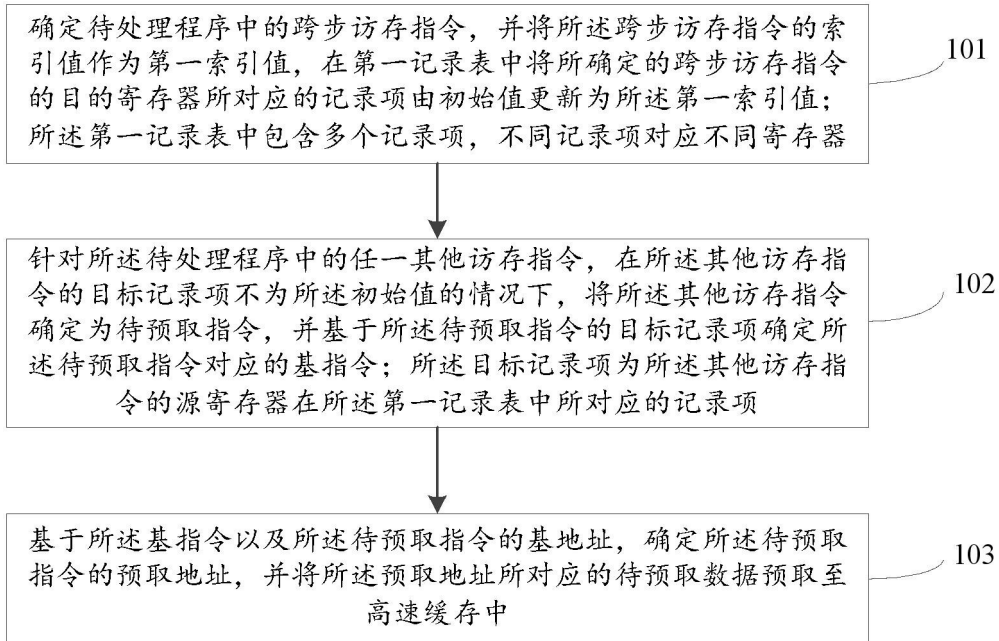


图1

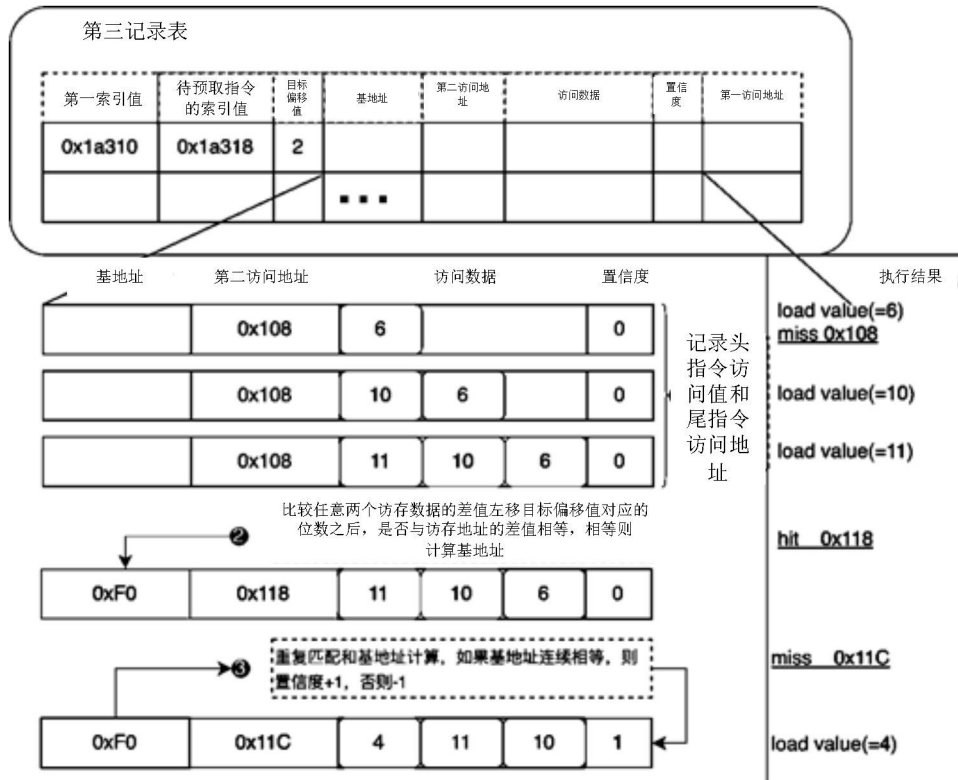


图2

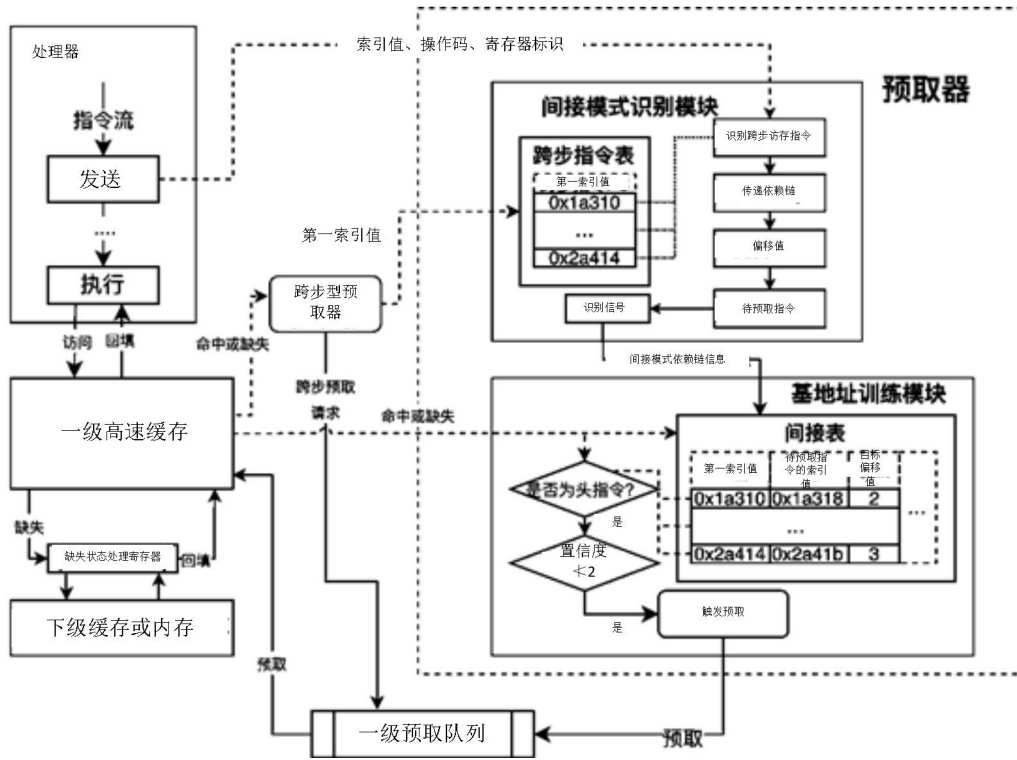


图3

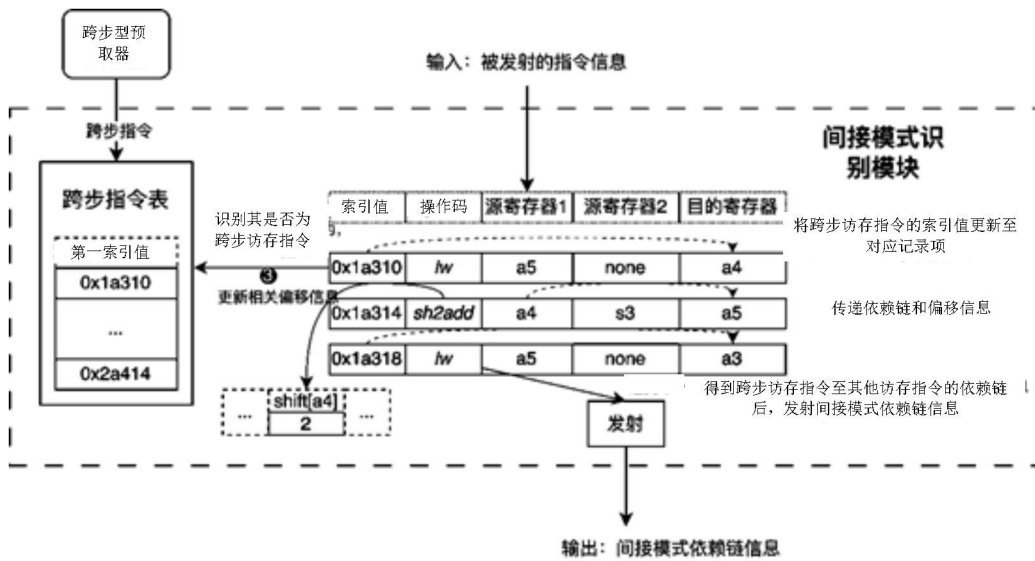


图4

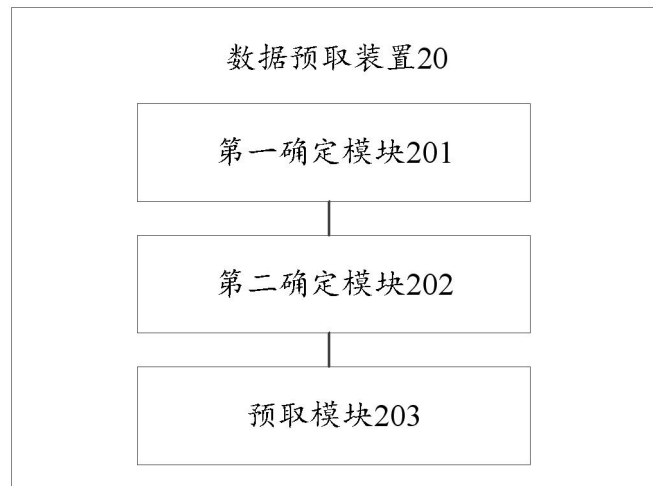


图5

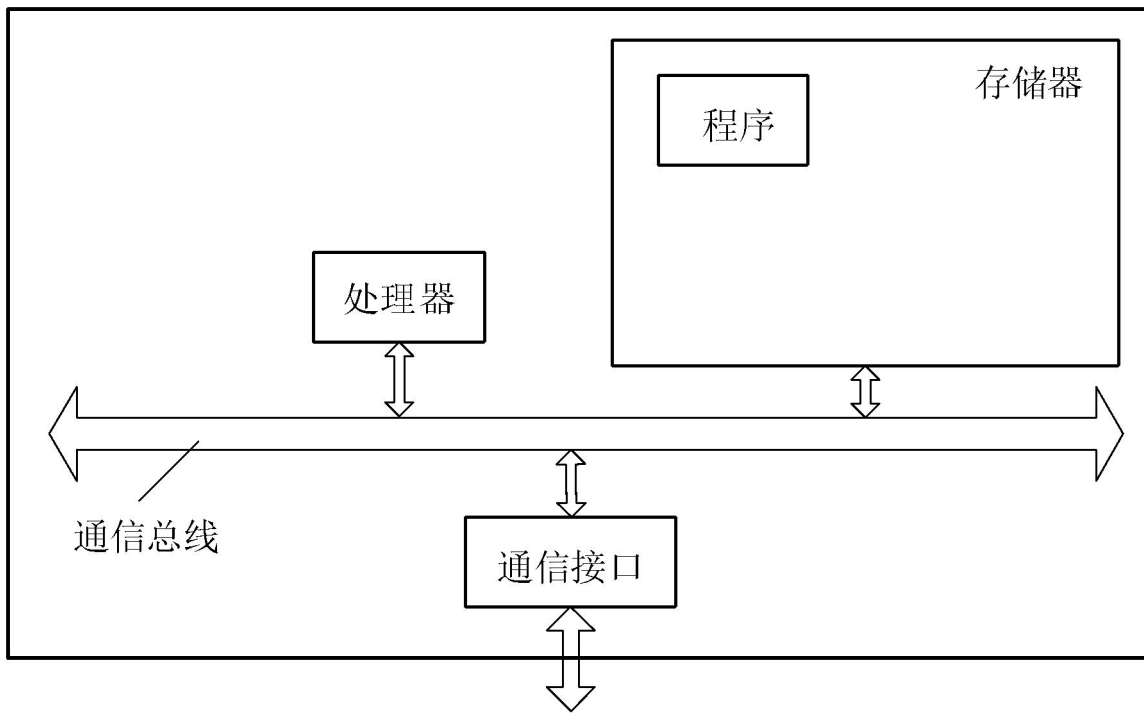


图6